

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **03-295097**

(43)Date of publication of application : **26.12.1991**

(51)Int.Cl.

G11C 16/06
H01L 27/115
H01L 29/788
H01L 29/792

(21)Application number : **02-095049**

(71)Applicant : **TOSHIBA CORP**

(22)Date of filing : **12.04.1990**

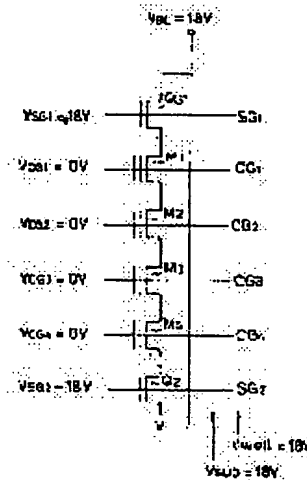
(72)Inventor : **ARITOME SEIICHI**
SHIRATA RIIICHIRO
MOMOTOMI MASAKI
IWATA YOSHIIHISA
KIRISAWA RYOHEI

(54) NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To prevent destruction of insulation film of a selection gate transistor (TR) at repetitive erasure by applying a prescribed potential to a gate of the selection gate TR at the erasure in an EEPROM employing a memory TR having a floating gate and a control gate.

CONSTITUTION: A NAND cell type EEPROM is formed with control gate TRs (QS1, QS2) and memory TRs M1 - M4 each having a floating gate and a control gate provided on a substrate in series connection. Then in the case of erasure, control gates CG1 - CG4 of the TRs M1 - M4 are brought into 0V, and a high level such as 18V is applied to the substrate to apply 18V to also selection gate lines SG1 - SG2, then electrons of the floating gate of the TRs M1 - M4 are discharged to a P-channel well and a threshold level is moved in the negative direction to apply erasure. Even when the erasure is repeated in the method in which a similar high level to a level fed to the substrate is applied to the gate of the selection gate TR, the destruction of the insulation film of the control gate TR is prevented and the reliability of the EEPROM is enhanced.



⑤ 日本国特許庁(JP)

⑩ 特許出願公開

② 公開特許公報(A) 平3-295097

⑥ Int. Cl.⁵

識別記号

庁内整理番号

⑨ 公開 平成3年(1991)12月26日

G 11 C 16/06
H 01 L 27/115
29/788
29/792

9191-5L G 11 C 17/00 3 0 9 C
8831-4M H 01 L 27/10 4 3 4
7514-4M 29/78 3 7 1

審査請求 未請求 請求項の数 5 (全8頁)

④ 発明の名称 不揮発性半導体記憶装置

⑦ 特 願 平2-95049

⑧ 出 願 平2(1990)4月12日

⑨ 発 明 者	有 留 誠 一	神奈川県川崎市幸区柳町70番地	株式会社東芝柳町工場内
⑨ 発 明 者	白 田 理 一 郎	神奈川県川崎市幸区柳町70番地	株式会社東芝柳町工場内
⑨ 発 明 者	百 冨 正 樹	神奈川県川崎市幸区柳町70番地	株式会社東芝柳町工場内
⑨ 発 明 者	岩 田 佳 久	神奈川県川崎市幸区柳町70番地	株式会社東芝柳町工場内
⑨ 発 明 者	桐 澤 亮 平	神奈川県川崎市幸区柳町70番地	株式会社東芝柳町工場内
⑩ 出 願 人	株 式 会 社 東 芝	神奈川県川崎市幸区堀川町72番地	
⑪ 代 理 人	弁 理 士 鈴 江 武 彦	外3名	

明 細 書

1. 発明の名称

不揮発性半導体記憶装置

2. 特許請求の範囲

(1) 半導体基板上に絶縁膜を介して浮遊ゲートと制御ゲートが積層形成された少なくとも一つのメモリトランジスタとこれに直列接続された選択ゲートトランジスタとを有する不揮発性半導体記憶装置において、メモリトランジスタの制御ゲートを0Vとし、基板に高電圧を印加してメモリトランジスタの浮遊ゲートの電子を放出させるデータ消去時、選択ゲートトランジスタのゲート電極に基板に印加する高電位と同極性の所定電位を印加するようにしたことを特徴とする不揮発性半導体記憶装置。

(2) 前記選択ゲートトランジスタのゲート電極に印加する所定電位がその下の絶縁膜にかかる電界を弱める値に設定されることを特徴とする請求項1記載の不揮発性半導体記憶装置。

(3) 半導体基板上に絶縁膜を介して浮遊ゲートと

制御ゲートが積層形成された複数のメモリトランジスタを用いたセルアレイを有する不揮発性半導体記憶装置において、セルアレイ内のメモリトランジスタの制御ゲートを0Vとし、基板に高電圧を印加してメモリトランジスタの浮遊ゲートの電子を放出させるデータ消去時、セルアレイ内の消去したくないメモリトランジスタの制御ゲートに基板に印加する高電位と同極性の所定電位を印加するようにしたことを特徴とする不揮発性半導体記憶装置。

(4) 前記消去したくないメモリトランジスタの制御ゲートに印加する所定電位がその下の絶縁膜にかかる電界を弱める値に設定されることを特徴とする請求項3記載の不揮発性半導体記憶装置。

(5) 前記セルアレイは、複数のメモリトランジスタがそれらのソース、ドレインを隣接するもの同士で共用する形で直列接続されたNANDセルを配列して構成されていることを特徴とする請求項3記載の不揮発性半導体記憶装置。

特開平3-295097(2)

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、浮遊ゲートと制御ゲートを有する電気的書き替え可能なメモリトランジスタを用いた不揮発性半導体記憶装置(EEPROM)に関する。

(従来技術)

従来よりこの種のEEPROMの中で高集積化可能なものとして、メモリトランジスタを複数個直列接続したNANDセル型のEEPROMが知られている。一つのメモリトランジスタは半導体基板上に絶縁膜を介して浮遊ゲートと制御ゲートが設けられたFETMOS構造を有し、複数個のメモリトランジスタが隣接するもの同士でそのソース、ドレインを共用する形で直列接続されてNANDセルを構成する。NANDセルの一端側ドレインは選択ゲートトランジスタを介してビット線に接続され、他端側ソースはやはり選択ゲートトランジスタを介して共通ソース線に接続され

る。この様のメモリセルが複数個マトリクス配列されてEEPROMが構成される。

このNANDセル型EEPROMの動作は次の通りである。データ書き込みは、ビット線から遠い方のメモリトランジスタから順に行う。nチャネルの場合を説明すると、選択されたメモリトランジスタの制御ゲートには高電位(例えば20V)を印加し、これよりビット線側にある非選択メモリトランジスタの制御ゲートおよび選択ゲートトランジスタのゲート電極には中間電位(例えば10V)を印加し、ビット線にはデータに応じて0V(例えば"1")または中間電位(例えば"0")を印加する。このときビット線の電位は非選択メモリトランジスタを駆逐されて選択メモリトランジスタのドレインまで伝わる。データ"1"のときは、選択メモリトランジスタの浮遊ゲートとドレイン間に高電界がかかり、基板から浮遊ゲートに電子がトンネル注入されてしきい値が正方向に移動する。データ"0"のときはしきい値変化はない。

データ消去は、半導体基板(ウェル構造の場合はn型半導体基板およびこれに形成されたp型ウェル)に高電位を印加し、すべてのメモリトランジスタの制御ゲートおよび選択ゲートトランジスタのゲート電極を0Vとする。これにより全てのメモリトランジスタにおいて浮遊ゲートの電子が基板に放出され、しきい値が負方向に移動する。

データ読出しは、選択ゲートトランジスタおよび選択メモリトランジスタよりビット線側の非選択メモリトランジスタをオンとし、選択メモリトランジスタの制御ゲートを0Vとして、そのコンダクタンスを読むことにより行われる。

この様な従来のNANDセル型EEPROMにおいて、データ消去時、選択ゲートトランジスタに着目すると、ゲート電極が0Vで基板に高電位が印加されているから、そのゲート絶縁膜には高電界がかかる。したがってデータ消去を繰り返すと、選択ゲートトランジスタのゲート絶縁膜の絶縁耐圧の劣化が加速され、やがて絶縁破壊が生じて不良になるという現象が見られる。

同様の問題は、NANDセル型EEPROMに限らず、同様のメモリトランジスタを用いる選択ゲートを持つNOR型EEPROMにもある。

また従来のウェル構造のEEPROMでは、ブロック消去ができないと言う問題があった。

(発明が解決しようとする課題)

以上のように従来のEEPROMには、データ消去時に選択ゲートトランジスタのゲート絶縁膜に高電界がかかり、これが信頼性低下の原因になるという問題があった。

また従来のウェル構造のEEPROMでは、ブロック消去ができないと言う問題があった。

本発明は、この様な問題を解決して信頼性向上を図ったEEPROMを提供することを目的とする。

〔発明の構成〕

(課題を解決するための手段)

本発明は、第1に、浮遊ゲートと制御ゲートを有する少なくとも一つのメモリトランジスタとこれに直列接続された選択ゲートトランジスタを

特開平3-295097(9)

持つEEPROMにおいて、メモリトランジスタの制御ゲートを0Vとし、基板に高電位を印加してデータ消去を行う際に、選択ゲートトランジスタのゲート電極に基板にあたる高電位と同極性の所定電位を印加するようにしたことを特徴とする。

本発明は、第2に、浮遊ゲートと制御ゲートを持つメモリトランジスタを用いたセルアレイを有するEEPROMにおいて、セルアレイ内のメモリトランジスタの制御ゲートを0Vとし、基板に高電位を印加してデータ消去を行う際に、セルアレイ内の消去したくないメモリトランジスタの制御ゲートに基板にあたる高電位と同極性の所定電位を印加するようにしたことを特徴とする。

(作用)

本発明によれば、EEPROMのデータ消去動作の繰り返しによる選択ゲートトランジスタの経時的な絶縁耐圧特性の低下が防止され、信頼性の高いEEPROMを得ることができる。

本発明によればまた、同じウェル内のセルア

レイの一部をデータ消去するブロック消去が可能なEEPROMを得ることができる。

(実施例)

以下、nチャネルFETMOSをメモリトランジスタとしたNANDセル型EEPROMの実施例について図面を参照して説明する。

第3図は実施例のメモリセルの一つのNANDセル部の平面図であり、第4図および第5図は第3図のそれぞれA-A'およびB-B'断面図である。n型シリコン基板1にp型ウェル2が形成され、素子分離絶縁膜13によって区画された領域に、この実施例では4個のメモリトランジスタM1~M4と2個の選択ゲートトランジスタQs1、Qs2によりNANDセルが構成されている。各メモリトランジスタは、基板上に熱酸化により形成された薄いゲート絶縁膜3、を介して第1層多結晶シリコン膜による浮遊ゲート4(4₁~4₄)が形成され、この上に層間絶縁膜5を介して第2層多結晶シリコン膜による制御ゲート6(6₁~6₂)が膜層形成されている。浮遊ゲート4が電

荷着膜層である。各メモリトランジスタの制御ゲート6は横方向に配列されるNANDセルについて連続的に制御ゲート線CG(CG1~CG4)として配設され、通常これがワード線となる。メモリトランジスタのソース、ドレイン拡散層であるn型層8は隣接するもの同士で共用されて4個のメモリトランジスタM1~M4が直列接続されている。これら4個のメモリトランジスタのドレイン側、ソース側にはそれぞれ選択ゲートトランジスタQs1、Qs2が設けられている。これら選択ゲートトランジスタQs1およびQs2のゲート絶縁膜3、はメモリトランジスタとは別にそれより厚く形成されて、その上に2層のゲート電極4₁、6₁および4₂、6₂が形成されている。これらのゲート電極4₁、6₁および4₂、6₂は、メモリトランジスタM1~M4の浮遊ゲートと制御ゲートを構成する第1層多結晶シリコン膜、第2層多結晶シリコン膜を同時にパターンニングして構成されている。これら2層ゲート電極は所定間隔でコンタクトして制御ゲート線CGの方向に連続

的に配設されて選択ゲート線SG1、SG2となる。素子形成された基板上はCVD絶縁膜11により覆われ、この上にビット線12が配設されている。ビット線12は、一方の選択ゲートトランジスタQs1のドレイン拡散層9にコンタクトしている。このドレイン拡散層9には、コンタクトを良好にするためコンタクト孔を通して重ねてn型不純物がドーブされている。他方の選択ゲートトランジスタQs2のソース拡散層10は通常共通ソース線として複数のNANDセルに共通に配設される。

各メモリトランジスタでの浮遊ゲート4とp型ウェル2間の結合容量は、浮遊ゲート4と制御ゲート6間の結合容量に比べて小さく設定されている。具体的に形状寸法を説明すれば、浮遊ゲート4および制御ゲート6は幅が1μmしたがってメモリトランジスタのチャネル長が1μmであり、浮遊ゲート4は第5図に示すように素子分離絶縁膜13上に片側1μmずつ延在させている。浮遊ゲート4下のゲート絶縁膜3、は例えば

特開平3-295097(4)

110Åの熱酸化膜であり、層間絶縁膜5は350Åの熱酸化膜である。選択ゲートトランジスタQs1、Qs2については、ドレイン側のトランジスタQs1のチャネル長をソース側のトランジスタQs2のそれより長く設定している。これはドレイン側の選択ゲートトランジスタQs1にはビット線12を介して高電位が印加されることがあるために、パンチスルーを防止する必要があるためである。

この実施例のNANDセル型EEPROMの動作を、メモリトランジスタM1～M4からなるNANDセルに着目して次に説明する。第1図はデータ消去時の各部の電位関係であり、第2図はデータ消去、書き込みおよび読出しの一連の動作のタイミング図である。データ消去および書き込みは、メモリトランジスタの浮遊ゲートとp型ウェル間のF-Nトンネリングを利用した電荷のやり取りにより行われる。

まずデータ消去は、全ての制御ゲート線CG1～CG4を0Vとし、p型ウェル2およびn型基

板1に $V_{well} - V_{sub} = 1.8V$ の高電位を印加し、同時に選択ゲート線SG1、SG2にも1.8Vの高電位を印加する。選択ゲート線SG1、SG2にも1.8Vの高電位を印加する点が従来の方式と異なる。これによりNANDセルを構成する全てのメモリトランジスタにおいて浮遊ゲートの電子がp型ウェルに放出され、しきい値が負方向に移動した消去状態が得られる。

データ書き込みは、ビット線から遠い方のメモリトランジスタから順に行う。まずメモリトランジスタM4での書き込みは、選択された制御ゲート線CG4に2.0Vの高電位を与え、これ以外の全ての制御ゲート線CG1～CG3および選択ゲート線SG1に中間電位として1.0Vを印加し、ビット線にはデータに応じて0Vまたは1.0Vを与える。これにより、ビット線に0Vが与えられたNANDセルのメモリトランジスタM4ではドレインから浮遊ゲートに電子がトンネル注入され、しきい値が正方向に移動した状態が得られる。ビット線電位が1.0Vのときはこのしきい値変化は

なく、元の状態に保たれる。以下順に制御ゲート線CG3、CG2、CG1に高電位を与えて同様にしてデータ書き込みを行う。

データ読出しは、選択された制御ゲート線に0V、それよりビット線側の制御ゲート線および選択ゲート線には5V程度の電位をあたえ、ビット線に1V程度の電位をあたえて、電流が流れるか否かを検出することにより行う。

こうしてこの実施例によれば、データ消去時、p型ウェル2および基板1と同時に選択ゲート線にも高電位を印加することにより、選択ゲートトランジスタのゲート絶縁膜にかかる電界が緩和される。したがって選択ゲートトランジスタのゲート絶縁膜がデータ消去の繰り返しにより特性劣化して破壊されることがなく、EEPROMの信頼性が向上する。

実施例ではNANDセル型EEPROMを説明したが、本発明は、同様の原理によるメモリトランジスタを用いたNOR型EEPROMであっても選択ゲートトランジスタを持つ場合には同様に

適用することができる。

第6図はその様なNOR型EEPROMに本発明を適用した場合のデータ消去時の電位関係を示している。NOR型では図示のように1個ずつのメモリトランジスタM11、M12がそれぞれ選択ゲートトランジスタQs11、Qs12を介してビット線に接続されてメモリセルが構成される。データ消去時は、制御ゲート線CG11、CG12を0Vとし、p型ウェルおよびn型基板に高電位 $V_{well} - V_{sub} = 1.8V$ を印加すると同時に、選択ゲート線SG11、SG12にも高電位1.8Vを印加する。

この実施例によっても、選択ゲートトランジスタのゲート絶縁膜にかかる電界が緩和されて、信頼性が向上する。

ところで先のNANDセル型EEPROMの実施例では、データ消去はすべてのメモリトランジスタのデータが消去される一括消去となっている。しかし実際のEEPROM応用においては、データ消去時セルアレイの一部については消去せずに残すというブロック消去モードがあることが望ま

特開平3-295097(5)

れる。その様なブロック消去モードを取り入れた実施例を次に説明する。

第7図は、先のNANDセル型EEPROMの実施例でのメモリアレイ構成において、ブロック消去モードでの各部の電位関係を示し、第8図はその様なモードを採用したデータ消去、書き込みおよび読出しの一連の動作のタイミング図を示している。第1図、第2図と比較して明らかなように、基本的な動作は先の実施例と同様であるが、この実施例においては、消去したくない部分の制御ゲートCG3には、p型ウェルおよび基板に与える高電位18Vと同じ高電位を与えている。したがって制御ゲート線CG3に沿うメモリトランジスタにおいては、浮遊ゲートと基板間に高電界がかかることがなく、浮遊ゲートからの電子放出はない。これにより1本の制御ゲート線が例えば1ワード線を構成する場合には、1ワード分のデータを残して他のデータが消去される。その後のデータ書き込みおよび読出し動作は先の実施例と変わらない。

こうしてこの実施例によれば、制御ゲート線の電位制御によって、ブロック消去等の部分消去が可能なEEPROMが得られる。

以上の実施例では、データ消去時、選択ゲート線に印加する高電位をp型ウェルおよびn型基板に印加する高電位と同じ値にした場合を説明したが、これらは必ずしも同じ値である必要はない。例えばp型ウェルおよびn型基板に印加する高電位に対して、電位差が10V程度の範囲内で同極性の所定の電位、例えばデータ書き込みに用いられる中間電位或いは高電位、さらに例えば5V程度の外部電源電位等を選択ゲート線に与えれば、選択ゲートトランジスタのゲート絶縁膜にかかる電界が緩和され、その特性劣化が抑制されて一定の効果を得ることができる。部分消去を行う場合の制御ゲート線電位についても同様である。

【発明の効果】

以上述べたように本発明によれば、データ消去時に選択ゲートトランジスタのゲート電極に所定の電位を与えることによって、選択ゲートトラン

ジスタのゲート絶縁膜の破壊を防止して信頼性向上を図ったEEPROMを得ることができる。

また本発明によれば、データ消去時に選択された制御ゲート線に所定の電位を与えることによって部分消去を可能としたEEPROMを得ることができる。

4. 図面の簡単な説明

第1図は本発明の一実施例のNANDセル型EEPROMのデータ消去時の電位関係を示す図、

第2図は同じくデータ消去、書き込みおよび読出しの動作を説明するためのタイミング図、

第3図は一つのNANDセル部の平面図、

第4図および第5図はそれぞれ第3図のA-AおよびB-B'断面図、

第6図は他の実施例のNOR型EEPROMのデータ消去時の電位関係を示す図、

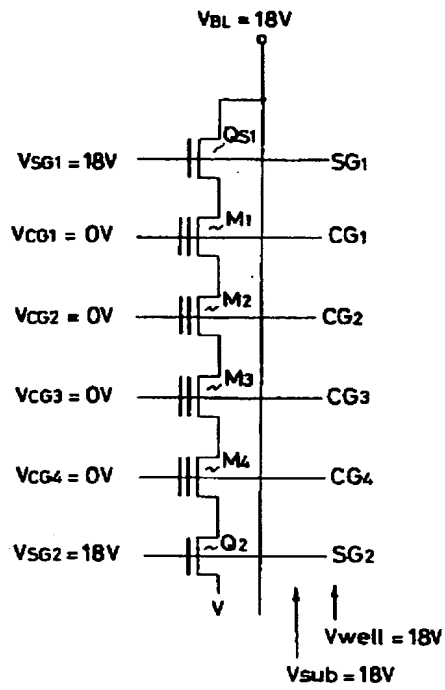
第7図は他の実施例のNANDセル型EEPROMのデータ消去時の電位関係を示す図、

第8図は同じくデータ消去、書き込みおよび読出しの動作を説明するためのタイミング図である。

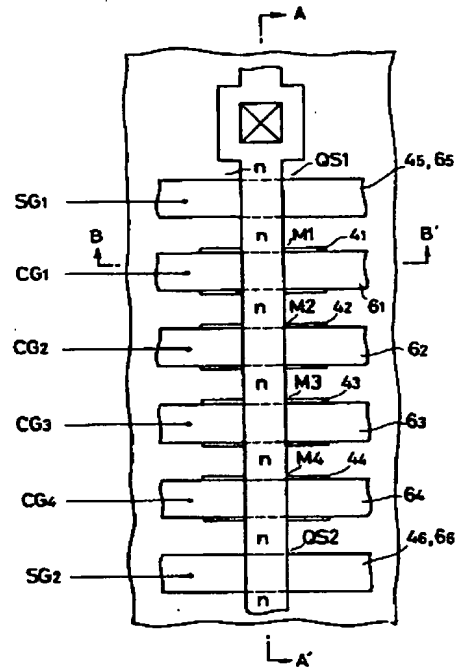
M1～M4…メモリトランジスタ、Qs1、Qs2…選択ゲートトランジスタ、1…n型シリコン基板、2…p型ウェル、3…ゲート絶縁膜、4(4₁～4₄)…浮遊ゲート、5…隔間絶縁膜、6(6₁～6₄)…制御ゲート、4₅、4₆、6₅、6₆…ゲート電極、8～10…n型層(ソース、ドレイン拡散層)、11…CVD絶縁膜、12…ビット線。

出願人代理人 弁理士 鈴江武彦

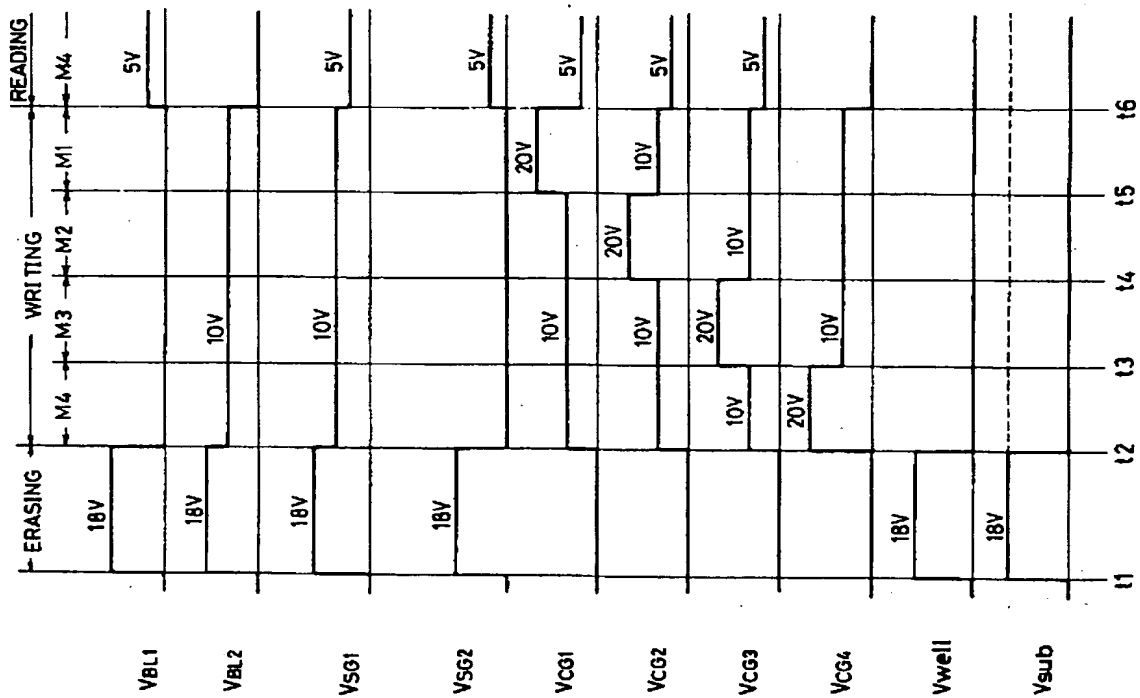
特開平 3-295097(6)



第 1 図

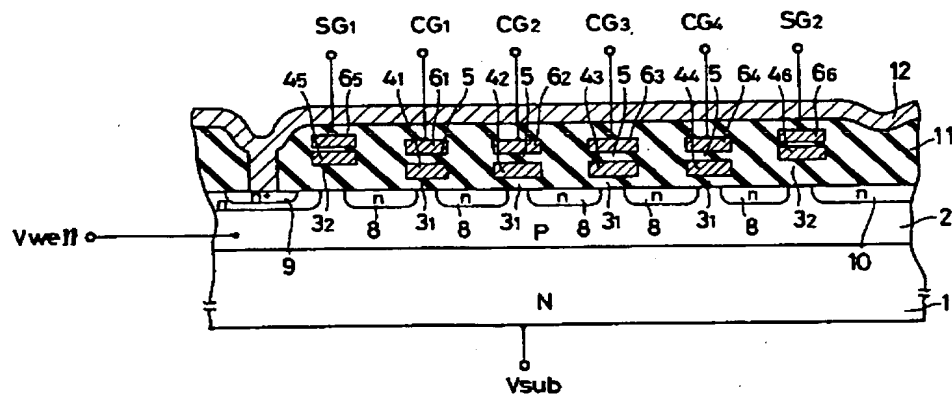


第 3 図

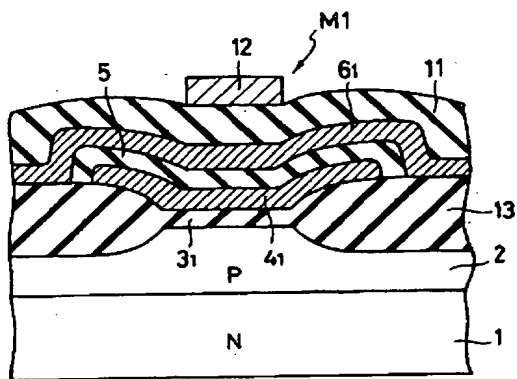


第 2 図

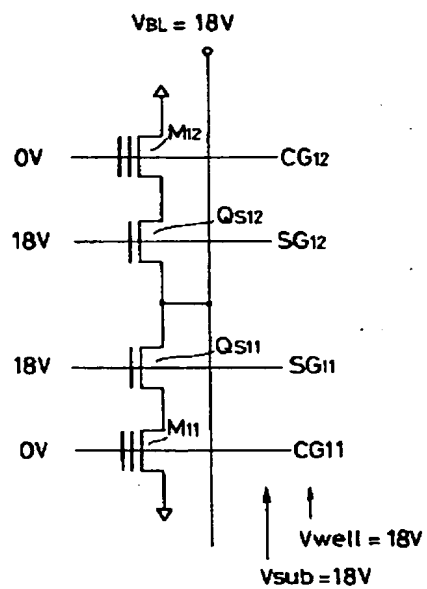
特開平 3-295097 (7)



第 4 図

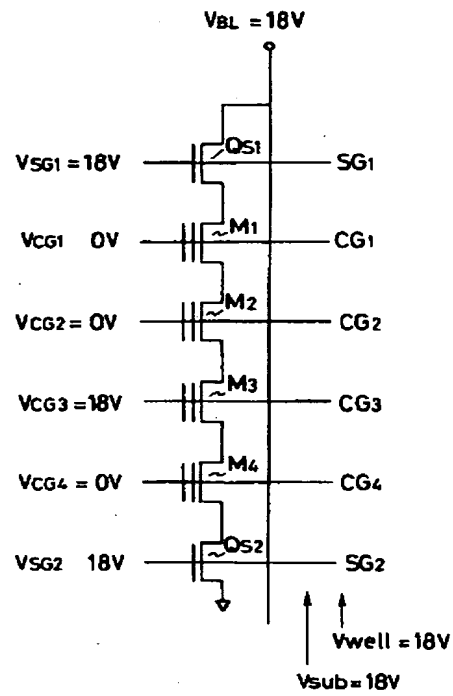


第 5 図

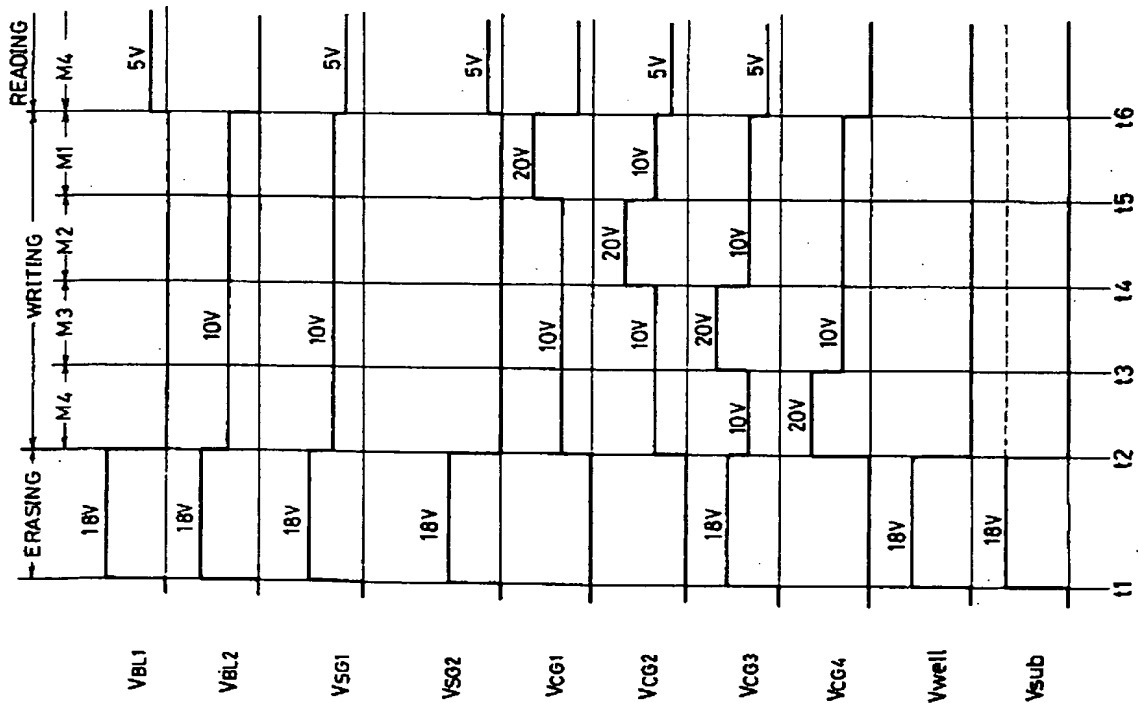


第 6 図

特開平 3-295097(8)



第 7 図



第 8 図